

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-244576

(P2002-244576A)

(43) 公開日 平成14年8月30日 (2002.8.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 F 9/00	3 3 8	G 0 9 F 9/00	3 3 8 2 H 0 9 2
G 0 2 F 1/1368		G 0 2 F 1/1368	5 C 0 9 4
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 F 1 1 0
H 0 1 L 27/12		H 0 1 L 27/12	B 5 G 4 3 5
29/786		29/78	6 2 7 D

審査請求 未請求 請求項の数13 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2001-45132(P2001-45132)

(22) 出願日 平成13年2月21日 (2001.2.21)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 名取 武久

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 大畑 豊治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100110434

弁理士 佐藤 勝

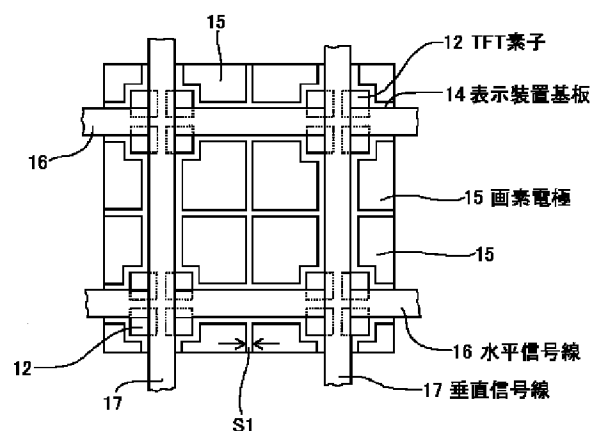
最終頁に続く

(54) 【発明の名称】 表示装置の製造方法、表示装置及び液晶表示装置

(57) 【要約】

【課題】 薄膜デバイス等からなる素子の確実な転写を図ると共に、その生産性も高めることができる表示装置とその製造方法を提供する。

【解決手段】 素子形成基板 1 1 上に薄膜トランジスタ素子 1 2 を密に配列した状態で形成し、それら薄膜トランジスタ素子 1 2 を密に配列した状態の一部を取り出した複数個の組である素子ブロック 1 3 ごとに表示装置基板 1 4 上に転写する。個々の素子をそれぞれ転写する場合に比較して、その転写効率が高くなり、また転写される単位のサイズも大きくなることから取扱いも容易となる。



【特許請求の範囲】

【請求項1】 素子形成基板上に素子を密に配列した状態で形成し、前記素子を前記密に配列した状態の一部を取り出した複数の組ごとに表示装置基板上に転写することを特徴とする表示装置の製造方法。

【請求項2】 前記素子は発光素子、画素制御素子、光電変換素子、圧電素子、薄膜トランジスタ素子、薄膜ダイオード素子、抵抗素子、スイッチング素子、微小磁気素子、微小光学素子から選ばれた素子若しくはその部分であることを特徴とする請求項1記載の表示装置の製造方法。

【請求項3】 複数の組ごとに前記表示装置基板上に前記素子を転写した後、前記素子に電氣的に接続する配線層を形成することを特徴とする請求項1記載の表示装置の製造方法。

【請求項4】 前記素子に電氣的に接続する配線層の少なくとも一部は隣接する前記素子間で共通の配線層とされることを特徴とする請求項1記載の表示装置の製造方法。

【請求項5】 前記素子は画素制御素子であり、複数の組ごとに前記表示装置基板上に前記画素制御素子を転写する前若しくは後に、略矩形状の画素電極の少なくとも一辺側で隣接する他の画素電極との間に配線層を介さないパターンに各画素電極を形成することを特徴とする請求項1記載の表示装置の製造方法。

【請求項6】 前記画素制御素子は薄膜トランジスタ若しくは薄膜ダイオードからなることを特徴とする請求項5記載の表示装置の製造方法。

【請求項7】 複数の組ごとの前記表示装置基板上への前記素子の転写は、機械的は把持手段によって行われることを特徴とする請求項1記載の表示装置の製造方法。

【請求項8】 前記把持手段は真空吸着機構を有することを特徴とする請求項7記載の表示装置の製造方法。

【請求項9】 前記複数の組ごとの前記表示装置基板上への前記素子の転写によって、前記素子の組は該組ごとに前記密に配列した状態よりも離間して配置されることを特徴とする請求項1記載の表示装置の製造方法。

【請求項10】 前記素子の前記組の個数は二個またはそれ以上であることを特徴とする請求項1記載の表示装置の製造方法。

【請求項11】 表示用素子がマトリクス状に配列された表示装置において、複数の表示用素子からなる各組の前記表示用素子は隣接して配置され、前記表示用素子に電氣的に接続する配線層の少なくとも一部は隣接する前記表示用素子間で共通の配線層とされることを特徴とする表示装置。

【請求項12】 液晶材料を駆動するための画素電極がマトリクス状に配列された液晶表示装置において、複数の画素制御素子からなる各組の前記画素制御素子は隣

接して配置され、略矩形状の画素電極の少なくとも一辺側で隣接する他の画素電極との間に配線層を介さないパターンに各画素電極が形成されることを特徴とする液晶表示装置。

【請求項13】 液晶材料を駆動するための画素電極がマトリクス状に配列された液晶表示装置において、複数の画素制御素子からなる各組の前記画素制御素子は隣接して配置され、前記画素制御素子に電氣的に接続する配線層の少なくとも一部は隣接する前記画素制御素子間で共通の配線層とされることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜デバイスなどからなる画素制御素子などの素子を基板上的所定の位置に転写する表示装置の製造方法、複数の表示用素子が配された表示装置、及び薄膜デバイスなどからなる画素制御素子を配設した液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置として、例えば薄膜トランジスタ（TFT）の如き画素制御素子を表示用装置基板上にマトリクス状に配列し、各画素制御素子に接続する配線層を形成して所要の周辺回路から供給される液晶駆動信号に基づき画像を表示するアクティブマトリクス型の液晶表示装置が広く知られている。各画素制御素子はそれぞれ各画素ごとに形成された透明電極からなる画素電極に接続され、その画素電極と対向する側の基板上に形成された共通電極との間の電圧を変えることで基板間に配列された液晶材料の配向状態を変えるように動作する。

【0003】ところで、薄膜トランジスタ（TFT）の如き画素制御素子は高温の熱処理を伴った半導体製造プロセスを用いて形成されるため、素子の形成精度はマスクなどのアライメントの精度などに大きく依存し、しかも石英ガラス基板などの耐熱性の高い基板を用いて形成されることが行われている。しかしながら、大きな面積に亘って高精度に微細な素子を形成することは容易ではなく、そのため、一旦素子形成用基板上に薄膜トランジスタ（TFT）の如き画素制御素子を微細加工しながら形成し、形成後の薄膜トランジスタを表示用基板上に転写する方法が検討されてきている。

【0004】このような画素制御素子を表示用装置基板上に転写する方法としては、例えば、特開平11-26734号公報に記載されるように、基板上に分離層を形成してから薄膜デバイスを形成し、基板側からのレーザー照射によって該分離層に剥離を生じさせる液晶表示装置の製造方法が知られている。また、特開平10-177187号公報記載の技術においては、先ず、薄膜構造の転写方法を用いて薄膜構造ブロックを転写体上に転写すべき転写ブロックを形成し、転写ブロックごとに転写を

行ってアクティブマトリクス型の液晶表示装置を製造する技術が開示されており、このような技術を用いることで基板の選択の自由度を高めることができる。

【0005】

【発明が解決しようとする課題】上述の転写法では、装置として使用される基板の選択の自由度を高めることができるという利点がある。しかしながら、例えば、特開平11-26734号公報に記載される技術では、素子形成用基板から転写体上に薄膜デバイスが転写されて製品としての装置が製造されるが、薄膜デバイスの素子形成時のピッチが維持されたままに転写されることから、大きな面積の液晶表示装置を形成する場合では、転写前の素子形成基板の状態から大面積に素子を形成する必要があり、その微細加工には限界がある。

【0006】また、特開平10-177187号公報記載の技術では、複数の薄膜デバイスを有した転写ブロックごと転写を行う方法であり、転写元の基板よりも大きなサイズのアクティブマトリクス用基板に複数の薄膜デバイスをブロックごと転写することができる。しかし、転写ブロック自体は画素電極までも同時に作りこんだ構造をしているため、転写の前後ではブロック内での素子間の間隔は維持されたままであり、やはり大面積の表示装置を構成しようとする場合では、その面積に応じた微細加工が必要となる。

【0007】一方、これらの技術に対し、特開平11-142878号公報に記載される液晶表示装置の製造方法においては、転写元の基板上に $1/m \times 1/n$ ピッチで先ず薄膜トランジスタ素子を形成し、それら薄膜トランジスタ素子を m 倍および n 倍にピッチを拡大させながら転写する方法が記載されている。ところが、この特開平11-142878号公報開示の技術では、最終的には転写元の基板から液晶表示装置用の基板に選択的に転写される際には、個々の薄膜トランジスタ素子ごとの転写が行われ、しかも転写時に素子と転写元基板の間に介在する分離膜に選択的に光を照射して結合力を弱めていることから、その転写自体が容易でないという問題が生ずる。さらに、薄膜トランジスタ素子の間を拡大するように転写しても、転写される単位は個々の素子ごとであってその転写の精度がスループットを高くする上で重要となり、1つの薄膜トランジスタ素子でも転写できなかった場合では全体が不良品となることになる。

【0008】そこで、本発明は、上述の技術的な課題に鑑み、素子の確実な転写を図ると共に、その生産性も高めることができる表示装置の製造方法と、その製造方法によって製造される表示装置及び液晶表示装置の提供を目的とする。

【0009】

【課題を解決するための手段】上述の課題を解決するため、本発明の表示装置の製造方法は、素子形成基板上に素子を密に配列した状態で形成し、前記素子を前記密に

配列した状態の一部を取り出した複数の組ごとに表示装置基板上に転写することを特徴とする。この製造方法において、前記素子は例えば、発光素子、画素制御素子、光電変換素子、圧電素子、薄膜トランジスタ素子、薄膜ダイオード素子、抵抗素子、スイッチング素子、微小磁気素子、微小光学素子から選ばれた素子若しくはその部分とすることができる。また、前記素子に電氣的に接続する配線層の少なくとも一部は隣接する前記素子間で共通の配線層とすることができる。

【0010】本発明の表示装置の製造方法によれば、複数の組ごとに素子を転写することで、個々の素子をそれぞれ転写する場合に比較して、その転写効率が高くなり、また転写される単位のサイズも大きくなることから取扱いも容易となる。複数の組は前記密に配列した状態の一部を取り出した構成であり、転写ブロックの如き離間した構造を有していないため、大面積の表示装置を構成しようとする場合に有利である。

【0011】本発明の表示装置は、表示用素子がマトリクス状に配列された表示装置において、複数の表示用素子からなる各組の前記表示用素子は隣接して配置され、前記表示用素子に電氣的に接続する配線層の少なくとも一部は隣接する前記表示用素子間で共通の配線層とされることを特徴とする。

【0012】本発明の表示装置によれば、前記表示用素子に電氣的に接続する配線層の少なくとも一部は隣接する前記表示用素子間で共通の配線層とされ、一度に転写される組内の表示用素子が配列されていても、配線層自体の占有面積を小さくすることができる。

【0013】また、本発明の液晶表示装置は、液晶材料を駆動するための画素電極がマトリクス状に配列された液晶表示装置において、複数の画素制御素子からなる各組の前記画素制御素子は隣接して配置され、略矩形状の画素電極の少なくとも一辺側で隣接する他の画素電極との間に配線層を介さないパターンに各画素電極を形成されてなることを特徴とし、また、液晶材料を駆動するための画素電極がマトリクス状に配列された液晶表示装置において、複数の画素制御素子からなる各組の前記画素制御素子は隣接して配置され、前記画素制御素子に電氣的に接続する配線層の少なくとも一部は隣接する前記画素制御素子間で共通の配線層とされることを特徴とする。

【0014】複数の画素制御素子からなる各組で画素制御素子を隣接して配置することで、画素制御素子の位置は複数の集まったように配列され、その結果、画素電極を複数の画素制御素子の位置以外の部分に個々の電極面積を大きくしながら配設することができる。同時に配線層を介さないパターンで画素電極同士を隣接させ、或いは配線層の共通化によって、画素電極の面積を増大させることができ、これら画素電極面積の増大の効果から開口率を高め、鮮明な画像の表示が可能となる。

【0015】

【発明の実施の形態】図面を参照しながら、本実施形態の表示装置の製造方法について説明する。図1から図4は製造方法における平面図である。本実施形態は、薄膜トランジスタ（TFT）素子を画素制御素子とするアクティブマトリクス型の液晶表示装置の製造方法の例であり、4つの薄膜トランジスタ素子を1組として転写を行う方法である。

【0016】先ず、図1に示すように、転写元基板である素子形成用基板11上に画素制御素子である薄膜トランジスタ素子12が形成される。素子形成用基板11は通常の半導体製造プロセスで用いられる例えばシリコン基板などの半導体基板若しくはガラス基板上に絶縁膜を形成した構造を有している。この素子形成基板11上にはマトリクス状に薄膜トランジスタ素子12が密に配列されて形成される。図1において、各薄膜トランジスタ素子12は正方形で示されているが、この正方形は各薄膜トランジスタ素子12が採り得る形状の一例に過ぎず、後述するように画素電極の電位を変えて液晶を制御できる構造であれば、その形状はどのようなものでも良い。この時点では、素子形成用基板11には画素電極となる透明電極などが形成されることはなく、従って、各薄膜トランジスタ素子12の間隔は素子間分離を図ることができる距離であれば良い。

【0017】各薄膜トランジスタ素子12は、例えば、図示をしないシリコン酸化膜などの絶縁膜上に薄い半導体膜が形成され、その半導体膜上にゲート絶縁膜を介してゲート電極が形成された構造を有し、ゲート電極の下部にチャネル領域が形成される共に該チャネル領域を挟んでソース・ドレイン領域が半導体膜に形成される構造を有する。回路上、ソース・ドレイン領域の一方は信号線に接続され、ソース・ドレイン領域の他方は後述する画素電極に接続される。

【0018】各薄膜トランジスタ素子12は、図1においては、個々の素子12がマトリクス状に配列されているが、図2に示すように、次の剥離工程においては、4つの薄膜トランジスタ素子12が1つの組である素子ブロック13を構成し、この素子ブロック13の単位での素子形成基板11からの剥離が行われる。1つの素子ブロック13を構成する4つの薄膜トランジスタ素子12は図1においてマトリクス状に配列された薄膜トランジスタ素子12のうちの隣接する2行2列分の4個の薄膜トランジスタ素子12であり、それら隣接4個の薄膜トランジスタ素子12が1つの素子ブロック13を構成する。

【0019】なお、1つの素子ブロック13には、4個の薄膜トランジスタ素子12が含まれるが、薄膜トランジスタ素子12同士の間は完全に素子分離していなくとも良く、共通のソース（ドレイン）接続やゲート接続を図るような構造であっても良い。例えば、図2における

垂直方向で共通の電源線が使用される場合では、その電源線と接続する端子は垂直方向で共通とすることでコンタクト領域などの占有面積を減らすことができ、微細化に有利であり、同様に、水平方向でも共通の信号線とすることで、例えばゲート電極とのコンタクト部分の数や面積を減らすことができる。また、素子ブロック13自体は、4個の薄膜トランジスタ素子12を支持する部材や支持層を含む構成であっても良く、そのような支持層や支持部材のない構成であっても単に4個の薄膜トランジスタ素子12の集合体であっても良い。

【0020】これら4つの薄膜トランジスタ素子12を2行2列の状態の有する素子ブロック13の剥離は、所要の真空吸着などの機械的なチャッキング用治具を用いることもできるが、予め各薄膜トランジスタ素子12と素子形成用基板11の間に分離膜若しくは剥離膜を形成し、その分離膜の部分で4つの薄膜トランジスタ素子12を剥離するようにしても良い。その分離膜自体が薄膜トランジスタ素子12の2行2列の部分に対応してブロックごとに予め切断されている構造や、分離膜自体が薄膜トランジスタ素子12のパターニング時に合わせてブロックごとに切断される構造や、選択的なエネルギービームの照射を利用してブロック単位の薄膜トランジスタ素子12と素子形成用基板11の間に剥離を生じさせるような構造であっても良い。さらに、素子ブロック13の剥離方法として、分離膜等を使用する方法と、機械的な剥離法と、選択照射などの方法の組み合わせであっても良い。また、レーザーアブレーションによって素子の剥離を行うようにすることもできる。

【0021】この剥離工程で重要な点は、選択的に素子形成用基板11から剥離されるのが、1つのブロック単位を構成する4つの薄膜トランジスタ素子12ごとであることであり、選択的に素子形成用基板11から剥離される範囲は素子ごとの場合に比べて4倍になることから、その取り扱いが容易でなり、歩留まりの向上に寄与する。また、素子を1つ1つ剥離して転写する場合に比べて、一括して4個の薄膜トランジスタ素子12が転写されるため、その転写効率は4倍となる。

【0022】素子形成用基板11から素子ブロック13の剥離は、例えばブロックごとに順次進める方法や、転写元基板と転写先基板を対峙させた上で対応する位置の複数の素子ブロックを一度に剥離若しくは転写する方法が挙げられる。また、図3に示すように、素子形成用基板11から直接液晶表示装置の表示装置基板14に転写することも可能であるが、一旦、一時保持用基板に転写して、再度一時保持用基板から表示装置基板14に転写することも可能である。

【0023】図3は転写後の素子ブロック13の配置を示している。図3に示すように、表示装置基板14上で、薄膜トランジスタ素子12の素子ブロック13は該素子ブロック13ごとに素子形成用基板11上の密に配

列した状態よりも離間して配置される。すなわち、転写前の状態（図1、図2参照）では、薄膜トランジスタ素子12の密に配列された状態を反映して、素子ブロック13も密な状態とされるが、図3に示すように、転写後では、素子ブロック13同士の間隔は拡大したものとなる。この素子ブロック13同士の間隔は、その広げられた部分に形成される画素電極の大きさに対応する。その一方で、素子ブロック13内の各薄膜トランジスタ素子12は一体的に転写されることから、各薄膜トランジスタ素子12同士の間隔は変動しない。このため隣接する素子間で共通のコンタクトを取る場合に極めて有利である。

【0024】4つの薄膜トランジスタ素子12を有した素子ブロック13の周囲には、図4に示すように、画素電極15が各薄膜トランジスタ素子12に対応して形成されている。画素電極15は例えばITO膜の如き透明電極であり、素子ブロック13の転写より前或いは素子ブロック13の転写の後で、表示装置基板14上に成膜される。表示装置基板14は、光透過性の材料によって構成され、その上に形成される素子ブロック13、画素電極15、図示しない配向膜や、液晶材料などを保持する機能を有し、その機能を果たす材料であれば特に限定されない。表示装置基板14を構成する材料について例示すれば、透明ガラス基板、透明プラスチック基板若しくはシートなどを用いることも可能である。

【0025】画素電極15は表示装置基板14上に全面に形成されて、個々の電極ごとにパターンニングされる。画素電極15の形状は略矩形状とされるが、接続すべき薄膜トランジスタ素子12に臨んだ角部が切り欠かれた平面形状となっている。各素子ブロック13には、水平方向に延在されるストライプ状の配線層である水平信号線16と、垂直方向に延在されるストライプ状の配線層である垂直信号線17と接続され、且つ水平信号線16と垂直信号線17とが交差する部分が各素子ブロック13の位置と一致している。これら水平信号線16と垂直信号線17と、各素子ブロック13内の薄膜トランジスタ素子12の接続は、図示を省略しているが、水平信号線16や垂直信号線17の一部を延長したり、水平信号線16や垂直信号線17の上面若しくは底面でコンタクトを取ったり、接続用の短い配線層をさらに形成することで行われる。

【0026】図4において、各素子ブロック13の上に水平信号線16が形成され、その水平信号線16の上に垂直信号線17が形成されているが、その順序は異なるような構造であっても良く、予め水平信号線16及び垂直信号線17を形成した後で、各素子ブロック13を転写することも可能である。水平信号線16及び垂直信号線17の構成材料は、特に限定されず、所要の金属配線層や金属層と半導体層の組み合わせなどの構造であっても良い。水平信号線16や垂直信号線17はそれぞれス

トライブ状のパターンとされているが、水平信号線16は水平方向に延在される2本の信号線を有する構成とすることができ、垂直信号線17は垂直方向に延在される2本の信号線を有する構成とすることができる。

【0027】それぞれ画素電極15は上述のように略矩形状のパターンとされているが、一対の水平信号線16や垂直信号線17に囲まれた領域では、略田の字形に4つの画素電極15が配設されている。すなわち、一対の水平信号線16や垂直信号線17に囲まれた領域内の4つの画素電極15の間には、信号線が通過することがなく、その分だけ画素電極15の領域を広くすることができる。従来の典型的なアクティブマトリクス型では画素電極15の四辺の端部を信号線が通過することから、その分だけ、画素電極として確保される領域が狭まり、開口率の改善に対する問題点となっていた。しかし、本実施形態の液晶表示装置の製造方法では、略矩形状の画素電極15の少なくとも一辺側で隣接する他の画素電極15との間に信号線となる配線層を介さないパターンに各画素電極15が形成されることから、画素電極15の領域を広くすることができ、液晶表示装置の開口率を上げることができる。図4では、隣接する画素電極15同士の間隔はS1とされ、リソグラフィーのマージンに応じたサイズであれば良いことがわかり、画素電極15同士の間には高低差がないことから、切断し易く配線層に対するマージンよりも狭く設定可能となる。

【0028】以下、対向電極を設けた対向基板を取りつけ、電極及び配向膜の間に液晶材料を注入することで、液晶表示装置を製造することができる。上述の実施形態によれば、4つの薄膜トランジスタ素子12の組である素子ブロック13ごとに転写することで、個々の素子をそれぞれ転写する場合に比較して、その転写効率が高くなり、また転写される単位のサイズも少なくとも4倍に大きくなることから取扱いも容易となる。さらに、信号線の共通化もできるため、その分だけ画素電極15の領域を広くすることができ、液晶表示装置の開口率を上げることができる。

【0029】図5乃至図7は素子ブロックの例を示す図であり、図5は前述の実施形態と同じ4つの薄膜トランジスタ素子22を2行2列のパターンとなるように配列した素子ブロック23の例である。この例では水平方向と垂直方向のそれぞれで配線やコンタクトの共通化を図ることができる。図6は2つの薄膜トランジスタ素子24を垂直方向に並べた素子ブロック25の例である。この図6の例では、垂直方向での配線やコンタクトの共通化が可能となる。図7は六角形のパターンを有する素子ブロック27に6つの薄膜トランジスタ素子26を配列した構造を有する。この素子ブロック27の構造においても配線やコンタクトの共通化を図ることができる。

【0030】図8は本実施形態の製造方法の転写の際に用いることが可能な把持手段を示した図であり、治具3

3の一端側には真空チャッキングを行うように構成されており、治具33の中央には把持した際の中空部35の気圧を下げるためのガス抜き穴34が形成されている。このような治具33を複数の薄膜トランジスタ素子31を下地部30上に有する素子ブロックに対して対向させ、ガス抜き穴34から気体を排出しながら真空吸着を行うことで、下地部30から上の薄膜トランジスタ素子31を素子ブロック単位で把持することが可能となる。

【0031】このような機械的な把持手段を用いて、本実施形態の製造方法における転写工程をすすめることができ、特に複数の薄膜トランジスタ素子31を同時に把持するため、その把持するサイズが大きくなり、素子の取扱いが容易となる。

【0032】なお、上述の実施形態においては、転写される画像制御素子を薄膜トランジスタ素子として説明したが、これに限定されず、薄膜ダイオード素子やその他の薄膜半導体デバイスなどであっても良い。また、素子ブロックの構成には配線層の一部を含ませる構成やコンタクト層、コンタクトメタル層などを有する構造とすることもできる。さらに、前述の実施形態では転写される素子を画像制御素子として説明したが、本発明の表示装置及びその製造方法においては、素子は発光素子、画素制御素子、光電変換素子、圧電素子、薄膜トランジスタ素子、薄膜ダイオード素子、抵抗素子、スイッチング素子、微小磁気素子、微小光学素子から選ばれた素子若しくはその部分とすることができる。

【0033】

【発明の効果】上述の表示装置及び表示装置の製造方法によれば、複数の薄膜トランジスタ素子の如きの素子の組ごとに転写することで、個々の素子をそれぞれ転写する場合に比較して、その転写効率が高くなり、また転写される単位のサイズも複数の分だけ拡大することから取扱いも容易となる。さらに、信号線の共通化もできるため、その分だけ例えば画素電極の領域を広くすることができ、液晶表示装置の開口率を上げることができ

る。

【図面の簡単な説明】

【図1】本発明の表示装置の製造方法の実施形態の一例における薄膜トランジスタ素子を密に配列した状態を示す平面図である。

【図2】本発明の表示装置の製造方法の実施形態の一例における素子ブロックごとの剥離工程を示す平面図である。

【図3】本発明の表示装置の製造方法の実施形態の一例における素子ブロックごとの転写後のレイアウトを示す平面図である。

【図4】本発明の表示装置の製造方法の実施形態の一例における画素電極や信号線を含めた構造を示す平面図である。

【図5】本発明の表示装置の製造方法の実施形態における素子ブロックの一例を示す模式平面図である。

【図6】本発明の表示装置の製造方法の実施形態における素子ブロックの他の一例を示す模式平面図であり、素子ブロックが2つの薄膜トランジスタ素子を垂直方向に並べたパターンを有する例である。

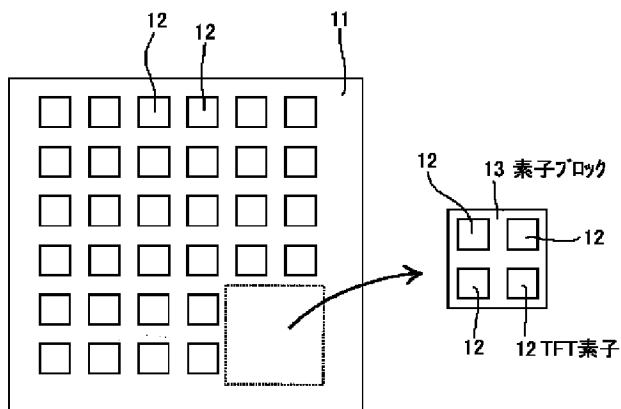
【図7】本発明の表示装置の製造方法の実施形態における素子ブロックのさらに他の一例を示す模式平面図であり、素子ブロックが略六角形のパターンを有する例である。

【図8】本発明の表示装置の製造方法の実施形態における治具の例を示す断面図である。

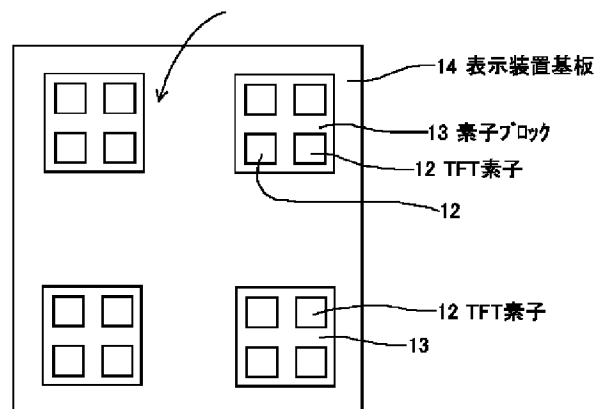
【符号の説明】

- 11 素子形成用基板
- 12 薄膜トランジスタ素子
- 13 素子ブロック
- 14 表示装置基板
- 15 画素電極
- 16 水平信号線
- 17 垂直信号線

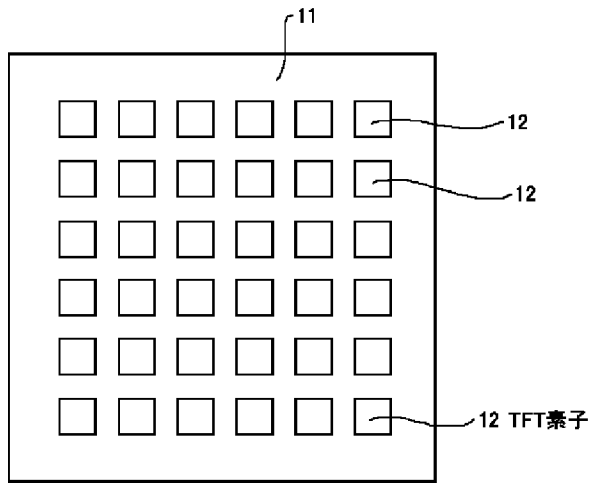
【図2】



【図3】

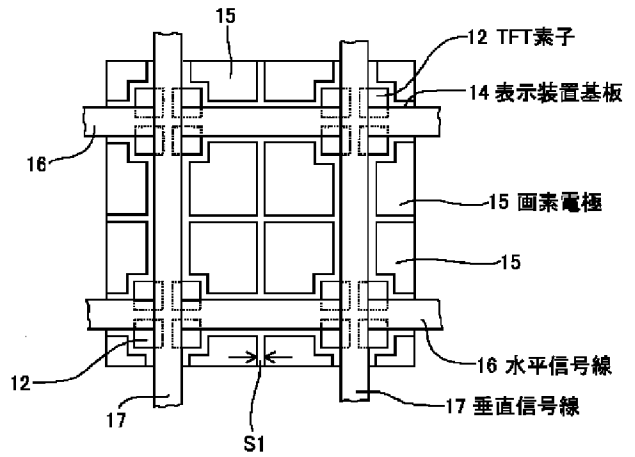


【図 1】

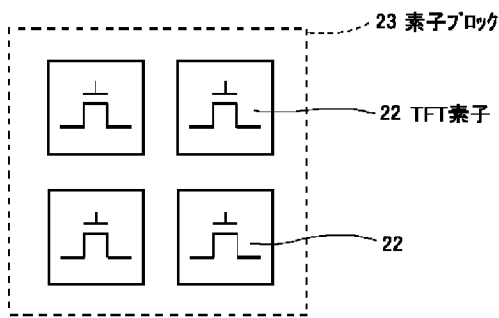


【図 5】

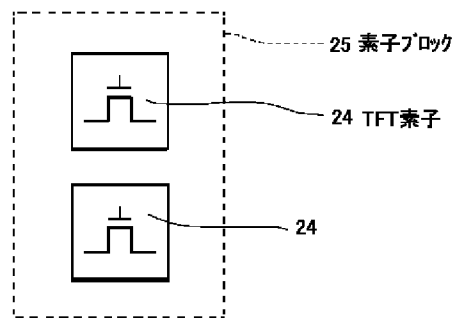
【図 4】



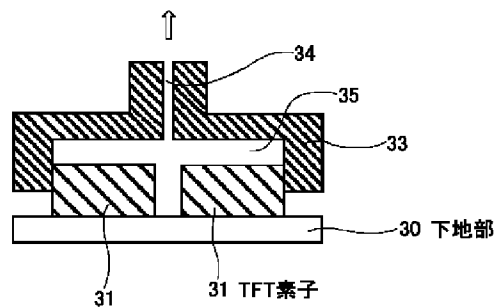
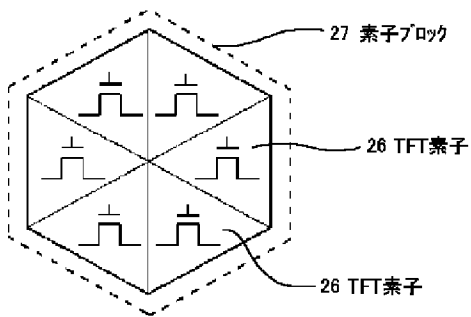
【図 6】



【図 7】



【図 8】



フロントページの続き

(51) Int. Cl. ⁷
H 0 1 L 21/336

識別記号

F I

テーマコード^{*} (参考)

F ターム(参考) 2H092 JA24 MA01 NA07 NA27 NA29
5C094 BA03 BA04 BA24 BA43 CA19
DA14 DA15 DB04 EA04 EA07
EB02
5F110 AA16 BB02 DD02 DD05 QQ16
5G435 BB04 BB12 EE33 HH13 KK05